

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183173

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 10-361599

(71)Applicant : NEC CORP

(22)Date of filing : 18.12.1998

(72)Inventor : MORIKI HISAHIRO

(54) APPARATUS AND METHOD FOR WIRING DESIGN

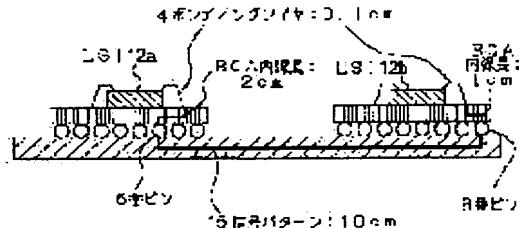
(57)Abstract:

PROBLEM TO BE SOLVED: To enable wiring of a signal pattern which realizes delay times close to a desired delay time by a method, wherein the delay time related to a signal transmission between LSIs is calculated through the use of a real wiring length of a signal pattern, actual line length of a conductor, and the real wiring length of a wiring within an LSI package.

SOLUTION: The wiring length of a signal pattern 15 wired on a printed wiring substrate is measured by a printed wiring substrate wiring length recognition part.

The wiring length of a wiring within a BGA from the sixth pin of an LSI 12a, and the wiring length of a wiring within the BGA from the eighth pin of a LSI 12b are made to recognize by a LSI package inner wiring length

recognition part, to be converted into the wiring length of a signal pattern on the printed wiring substrate of a delay and an equal delay. The wiring length of a bonding wire is converted into wiring length of the signal pattern on the printed wiring substrate of the delay and equal delay. The wiring length obtained by adding up the wiring lengths of the signal patterns on the printed wiring substrate, a conversion wiring length of the wiring within the LSI package and the conversion wiring length of the bonding wire is calculated.



LEGAL STATUS

[Date of request for examination] 18.03.1999
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3166744
[Date of registration] 09.03.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(51) Int.Cl. ⁷ H 01 L 21/82 G 06 F 17/50	識別記号 F I H 01 L 21/82 G 06 F 15/60	F I W 5 B 0 4 6 6 5 8 U 5 F 0 6 4 6 5 8 E	テーマコード ⁸ (参考) テ-マコード ⁹ (参考) 5 B 0 4 6 5 F 0 6 4
---	---	--	--

審査請求 有 請求項の数12 O L (全 8 頁)

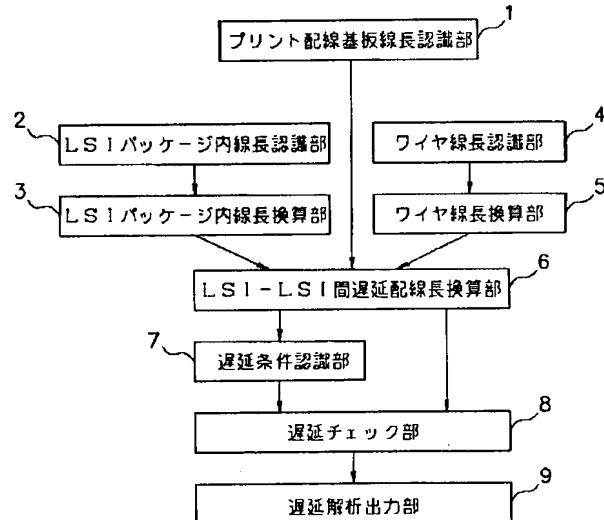
(21)出願番号 特願平10-361599	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成10年12月18日 (1998.12.18)	(72)発明者 森木 久博 東京都港区芝五丁目7番1号 日本電気株式会社内
	(74)代理人 100084250 弁理士 丸山 隆夫
	F ターム(参考) 5B046 AA08 BA06 5F064 AA17 EE08 EE47 HH10 HH14

(54)【発明の名称】 配線設計装置及び配線設計方法

(57)【要約】

【課題】 遅延時間を所望とする遅延時間により近づけた信号パターンの配線を行うことができる配線設計装置を提供する。

【解決手段】 プリント配線基板線長認識部1にて実測した信号パターン1 5の線長と、LSIチップ1 2とBGA1 1とをつなぐボンディングワイヤ1 3の実線長を、その線長により生じる遅延と等遅延となる配線基板上の信号パターンの線長に換算した換算線長と、BGA内配線1 6の実配線長を、その線長により生じる遅延と等遅延となる配線基板上の信号パターンの線長に換算した換算線長とをLSI-LSI間遅延配線長換算部6にて加算し、加算した線長が所定の条件を満たしているか否かを遅延チェック部8にて判断することにより、所望とするLSI間の信号の伝送にかかる遅延時間により近い信号パターンの配線を行うことができる。



【特許請求の範囲】

【請求項 1】 配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定手段と、LSIチップとLSIパッケージとをつなぐ導体の実線長を認識する導体線長認識手段と、前記LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識手段とを有し、前記信号パターンの実配線長と、前記導体の実配線長と、前記LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする配線設計装置。

【請求項 2】 配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定手段と、LSIチップとLSIパッケージとをつなぐ導体の実線長を測定する導体線長測定手段と、前記LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識手段とを有し、前記信号パターンの実配線長と、前記導体の実配線長と、前記LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする配線設計装置。

【請求項 3】 前記導体線長認識手段により認識された導体の線長を、該導体の線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算する導体線長換算手段と、前記LSIパッケージ内線長認識手段により認識されたLSIパッケージ内線長を、該LSIパッケージ内線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算手段と、前記信号パターン配線長測定手段により測定された信号パターンの配線長と、前記導体線長換算手段により等遅延の前記配線基板上での信号パターンの配線長に換算された導体の線長と、前記LSIパッケージ内線長換算手段により等遅延の前記配線基板上での信号パターンの配線長に換算されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算手段と、前記加算手段により算出された前記加算線長が所定の範囲内にあるか否かを判断する遅延判断手段と、を有することを特徴とする請求項1記載の配線設計装置。

【請求項 4】 前記導体線長測定手段により測定された導体の線長を、該導体の線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算する導体線長換算手段と、前記LSIパッケージ内線長認識手段により認識されたLSIパッケージ内線長を、該LSIパッケージ内線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算手段と、前記信号パターン配線長測定手段により測定された信号

パターンの配線長と、前記導体線長換算手段により等遅延の前記配線基板上での信号パターンの配線長に換算された導体の線長と、前記LSIパッケージ内線長換算手段により等遅延の前記配線基板上での信号パターンの配線長に換算されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算手段と、前記加算手段により算出された前記加算線長が所定の範囲内にあるか否かを判断する遅延判断手段と、を有することを特徴とする請求項2記載の配線設計装置。

【請求項 5】 LSI間での信号の伝送にかかる所望の遅延時間の範囲を、前記配線基板上での信号パターンの配線長に換算した遅延線長範囲条件を認識する遅延条件認識手段を有し、前記遅延判断手段は、前記加算手段により算出された前記加算線長が、前記遅延条件認識手段により認識した遅延線長範囲内にあるか否かを判断することを特徴とする請求項3または4記載の配線設計装置。

【請求項 6】 前記遅延判断手段による判断結果を表示する表示手段を有することを特徴とする請求項5記載の配線設計装置。

【請求項 7】 配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定工程と、LSIチップとLSIパッケージとをつなぐ導体の実線長を認識する導体線長認識工程と、前記LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識工程とを有し、前記信号パターンの実配線長と、前記導体の実配線長と、前記LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする配線設計方法。

【請求項 8】 配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定工程と、LSIチップとLSIパッケージとをつなぐ導体の実線長を測定する導体線長測定工程と、前記LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識工程とを有し、前記信号パターンの実配線長と、前記導体の実配線長と、前記LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする配線設計方法。

【請求項 9】 前記導体線長認識工程により認識された導体の線長を、該導体の線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算する導体線長換算工程と、前記LSIパッケージ内線長認識工程により認識されたLSIパッケージ内線長を、該LSIパッケージ内線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算工程と、

前記信号パターン配線長測定工程により測定された信号パターンの配線長と、前記導体線長換算工程により等遅延の前記配線基板上での信号パターンの配線長に変換された導体の線長と、前記LSIパッケージ内線長換算工程により等遅延の前記配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算工程と、

前記加算工程により算出された前記加算線長が所定の範囲内にあるか否かを判断する遅延判断工程と、
を有することを特徴とする請求項7記載の配線設計方法。

【請求項10】前記導体線長測定工程により測定された導体の線長を、該導体の線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算する導体線長換算工程と、

前記LSIパッケージ内線長認識工程により認識されたLSIパッケージ内線長を、該LSIパッケージ内線長により生じる遅延と等遅延の前記配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算工程と、

前記信号パターン配線長測定工程により測定された信号パターンの配線長と、前記導体線長換算工程により等遅延の前記配線基板上での信号パターンの配線長に変換された導体の線長と、前記LSIパッケージ内線長換算工程により等遅延の前記配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算工程と、

前記加算工程により算出された前記加算線長が所定の範囲内にあるか否かを判断する遅延判断工程と、
を有することを特徴とする請求項8記載の配線設計方法。

【請求項11】LSI間での信号の伝送にかかる所望の遅延時間の範囲を、前記配線基板上での信号パターンの配線長に換算した遅延線長範囲条件を認識する遅延条件認識工程を有し、

前記遅延判断工程は、前記加算工程により算出された前記加算線長が、前記遅延条件認識工程により認識した遅延線長範囲内にあるか否かを判断することを特徴とする請求項9又は10記載の配線設計方法。

【請求項12】前記遅延判断工程による判断結果を表示する表示工程を有することを特徴とする請求項11記載の配線設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント配線基板に配線される信号パターンの配線長を算出する配線設計装置及び配線設計方法に関する。

【0002】

【従来の技術】従来、プリント配線基板にLSIパッケージを介して接続されるLSI間の信号遅延時間の算出

は、実測したプリント配線基板上に配線された信号パターンの配線長から算出した遅延時間と、推定したLSIパッケージ内配線の配線長から算出された遅延時間と、推定したLSIとLSIパッケージとを接続するボンディングワイヤでの遅延時間と、推定したLSI内配線の配線長から算出された遅延時間との和を求めて算出していた。

【0003】つまり、遅延時間の見積もりのために用いられるLSIパッケージ内配線の配線長やボンディングワイヤ部分の線長は、プリント配線基板に配線された実際の線長ではなく、設計段階でのものであり、実際の遅延時間と見積もりもった遅延時間には差が生じていた。しかしながら、従来の信号速度においては、この遅延時間の差はプリント配線基板全体の遅延時間からすると無視できるものであった。

【0004】

【発明が解決しようとする課題】しかしながら、近年、要求される信号速度は上がるばかりであり、予め見積もりもった遅延時間と、実際の遅延時間との差は無視できない割合となってきている。

【0005】本発明は上記事情に鑑みてなされたものであり、所望とする遅延時間により近い遅延時間を実現する信号パターンの配線を行うことができる配線設計装置及び配線設計方法を提供することを目的とする。

【0006】

【課題を解決するための手段】かかる目的を達成するために本発明の配線設計装置は、配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定手段と、LSIチップとLSIパッケージとをつなぐ導体の実線長を認識する導体線長認識手段と、LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識手段とを有し、信号パターンの実配線長と、導体の実配線長と、LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする。

【0007】本発明の配線設計装置は、配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定手段と、LSIチップとLSIパッケージとをつなぐ導体の実線長を測定する導体線長測定手段と、LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識手段とを有し、信号パターンの実配線長と、導体の実配線長と、LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする。

【0008】上記の導体線長認識手段により認識された導体の線長を、導体の線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算する導体線長換算手段と、LSIパッケージ内線長認識手段により認識されたLSIパッケージ内線長を、LSIパッケージ内線長により生じる遅延と等遅延の配線基板上での信

号パターンの配線長に換算するLSIパッケージ内線長換算手段と、信号パターン配線長測定手段により測定された信号パターンの配線長と、導体線長換算手段により等遅延の配線基板上での信号パターンの配線長に変換された導体の線長と、LSIパッケージ内線長換算手段により等遅延の配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算手段と、加算手段により算出された加算線長が所定の範囲内にあるか否かを判断する遅延判断手段とを有するとよい。

【0009】上記の導体線長測定手段により測定された導体の線長を、導体の線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算する導体線長換算手段と、LSIパッケージ内線長認識手段により認識されたLSIパッケージ内線長を、LSIパッケージ内線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算手段と、信号パターン配線長測定手段により測定された信号パターンの配線長と、導体線長換算手段により等遅延の配線基板上での信号パターンの配線長に変換された導体の線長と、LSIパッケージ内線長換算手段により等遅延の配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算手段と、加算手段により算出された加算線長が所定の範囲内にあるか否かを判断する遅延判断手段とを有するとよい。

【0010】上記の配線設計装置は、LSI間での信号の伝送にかかる所望の遅延時間の範囲を、配線基板上での信号パターンの配線長に換算した遅延線長範囲条件を認識する遅延条件認識手段を有し、遅延判断手段は、加算手段により算出された加算線長が、遅延条件認識手段により認識した遅延線長範囲内にあるか否かを判断するとよい。

【0011】上記の配線設計装置は、遅延判断手段による判断結果を表示する表示手段を有するとよい。

【0012】本発明の配線設計方法は、配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定工程と、LSIチップとLSIパッケージとをつなぐ導体の実線長を認識する導体線長認識工程と、LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識工程とを有し、信号パターンの実配線長と、導体の実配線長と、LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする。

【0013】本発明の配線設計方法は、配線基板上に配線された信号パターンの配線長を測定する信号パターン配線長測定工程と、LSIチップとLSIパッケージとをつなぐ導体の実線長を測定する導体線長測定工程と、LSIパッケージ内配線の実配線長を認識するLSIパッケージ内線長認識工程とを有し、信号パターンの実配

線長と、導体の実配線長と、LSIパッケージ内配線の実配線長によりLSI間の信号伝送にかかる遅延時間を算出することを特徴とする。

【0014】上記の導体線長認識工程により認識された導体の線長を、導体の線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算する導体線長換算工程と、LSIパッケージ内線長認識工程により認識されたLSIパッケージ内線長を、LSIパッケージ内線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算工程と、信号パターン配線長測定工程により測定された信号パターンの配線長と、導体線長換算工程により等遅延の配線基板上での信号パターンの配線長に変換された導体の線長と、LSIパッケージ内線長換算工程により等遅延の配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算工程と、加算工程により算出された加算線長が所定の範囲内にあるか否かを判断する遅延判断工程とを有するとよい。

【0015】上記の導体線長測定工程により測定された導体の線長を、導体の線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算する導体線長換算工程と、LSIパッケージ内線長認識工程により認識されたLSIパッケージ内線長を、LSIパッケージ内線長により生じる遅延と等遅延の配線基板上での信号パターンの配線長に換算するLSIパッケージ内線長換算工程と、信号パターン配線長測定工程により測定された信号パターンの配線長と、導体線長換算工程により等遅延の配線基板上での信号パターンの配線長に変換された導体の線長と、LSIパッケージ内線長換算工程により等遅延の配線基板上での信号パターンの配線長に変換されたLSIパッケージ内配線の線長とを加算した加算線長を算出する加算工程と、加算工程により算出された加算線長が所定の範囲内にあるか否かを判断する遅延判断工程とを有するとよい。

【0016】上記の配線設計方法は、LSI間での信号の伝送にかかる所望の遅延時間の範囲を、配線基板上での信号パターンの配線長に換算した遅延線長範囲条件を認識する遅延条件認識工程を有し、遅延判断工程は、加算工程により算出された加算線長が、遅延条件認識工程により認識した遅延線長範囲内にあるか否かを判断するとよい。

【0017】上記の遅延判断工程による判断結果を表示する表示工程を有するとよい。

【0018】

【発明の実施の形態】次に添付図面を参照して本発明の配線設計装置及び配線設計方法の実施の形態を詳細に説明する。図1～図8を参照すると本発明の配線設計装置及び配線設計方法の実施形態が示されている。

【0019】まず、図1を参照しながら本発明の配線設

計装置及び配線設計方法に係る実施形態の構成を説明する。

【0020】図1に示されるように、本発明の配線設計装置及び配線設計方法に係る実施形態は、プリント配線基板配線長認識部1と、LSIパッケージ内線長認識部2と、LSIパッケージ内線長換算部3と、ワイヤ線長認識部4と、ワイヤ線長換算部5と、LSI-LSI間遅延配線長換算部6と、遅延条件認識部7と、遅延チェック部8と、遅延解析出力部9とを有して構成される。

【0021】上述した各処理部の処理動作を図2に示されたプリント配線基板を参照しながら説明する。なお、図2に示されたプリント配線基板は、BGA (Ball Grid Array) 11を2つ搭載しており、各BGA11にはLSIチップ12が搭載されている。また、BGA11とプリント配線基板10とは半田ボール14により接続されており、BGA11とLSIチップ12とはボンディングワイヤ13により接続されている。

【0022】プリント配線基板配線長認識部1は、プリント配線基板10上に配線された信号パターン15の配線長を実測する。

【0023】LSIパッケージ内線長認識部2は、プリント配線基板10に搭載されるBGA内配線16の配線長を取り込む。また、LSIパッケージ内線長換算部3は、LSIパッケージ内線長認識部2にて取り込まれたBGA内配線16の配線長を、その配線長により生じる遅延と等遅延のプリント配線基板上での信号パターンの線長に換算する。

【0024】ワイヤ線長認識部4は、LSIチップ12とBGA11とを接続するボンディングワイヤ13の線長を取り込む。また、ワイヤ線長換算部5は、ワイヤ内線長認識部4にて取り込まれたボンディングワイヤの線長を、その線長により生じる遅延と等遅延のプリント配線基板上での信号パターンの線長に換算する。

【0025】LSI-LSI間遅延配線長換算部6は、プリント配線基板配線長認識部1にて測定された信号パターンの配線長と、LSIパッケージ内線長換算部3にてプリント配線基板上での線長に換算されたBGA内配線の配線長と、ワイヤ線長換算部5にてプリント配線基板上での線長に換算されたボンディングワイヤの線長とを加算した加算線長を出力する。

【0026】遅延条件認識部7は、LSIチップ間での信号の伝送にかける遅延時間の範囲を、プリント配線基板上での信号パターンの配線長に換算した線長換算遅延条件を認識する。遅延チェック部8は、LSI-LSI間遅延配線長換算部6により算出された加算線長が、遅延条件認識部7にて認識した線長換算遅延条件を満たしているか否かを判断する。遅延解析出力部9は、遅延チェック部8による判断結果を出力する。

【0027】次に、上述した実施形態による動作例を、図3に示されたプリント配線基板上に搭載されたLSI

12aの6番ピンと、LSI12bの8番ピンとを接続する信号パターンの配線設計を例に説明する。なお、上述した線長換算条件として、図4に示されるように14cm以上、16cm以下で配線しなければならないものとする。また、ボンディングワイヤ及びBGA内配線の配線長は予め決められているものとする。

【0028】まず、人手によりプリント配線基板上に配線された信号パターン15の配線長をプリント配線基板配線長認識部1にて計測する。ここでは、プリント配線基板配線長認識部1にて計測された配線長が10cmであったとする。

【0029】次に、LSIパッケージ内線長認識部2に、LSI12aの6番ピンからのBGA内配線の配線長と、LSI12bの8番ピンからのBGA内配線の配線長とをそれぞれ認識させる。ここでは、LSI12aの6番ピンからのBGA内配線の配線長が2cm、LSI12bの8番ピンからのBGA内配線の配線長が1cmであるとする。

【0030】次に、LSIパッケージ内線長換算部3でこれらBGA内配線の配線長を、その配線長により生じる遅延と等遅延のプリント配線基板上での信号パターンの線長に換算する。

【0031】図5には、プリント配線基板上の信号パターンと、BGA内配線と、ボンディングワイヤでの信号速度が示されている。図5に示されるように、プリント配線基板上の信号パターンによる信号速度は、71.0ps/cmであり、BGA内配線の信号速度は、65.0ps/cmである。従って、プリント配線基板上の信号パターンの信号速度を基準として、BGA内配線の信号速度との比をとると、 $65.0 / 71.0 = 0.915$ となる。LSIパッケージ内線長換算部3は、LSIパッケージ内線長認識部にて認識したBGA内配線の配線長に、この換算数値0.915を乗じて、BGA内配線の配線長を等遅延のプリント配線基板での配線長に換算する。LSI12aの6番ピンからのBGA内配線の等遅延の線長は、 $2 \times 0.915 = 1.83$ cmであり、LSI12bの8番ピンからのBGA内配線の等遅延の線長は、 $1 \times 0.915 = 0.915$ cmである。

【0032】また、ワイヤ線長認識部4に、BGA内配線とLSIチップとをつなぐボンディングワイヤの線長を認識させる。ここでは、ボンディングワイヤの線長は、LSI12a、LSI12b共に0.1cmであるとする。

【0033】次に、ワイヤ線長換算部5にて、ワイヤ線長認識部4で認識したボンディングワイヤの線長を、その線長により生じる遅延と等遅延のプリント配線基板の信号パターンの線長に換算する。図5に示されるように、プリント配線基板上の信号パターンによる信号速度は、71.0ps/cmであり、ボンディングワイヤによる信号速度は、63.0ps/cmであるので、プリ

ント配線基板上の信号パターンの信号速度を基準として、BGA内配線の信号速度との比をとると、 $63/71 \approx 0.887$ となる。ワイヤ線長換算部5は、ワイヤ線長認識部4にて認識したボンディングワイヤの線長に、この換算数値 0.887 を乗じて、ボンディングワイヤの線長を等遅延のプリント配線基板での配線長に換算する。LSI12a、LSI12b共にボンディングワイヤの換算線長は、 0.0887 となる。

【0034】次に、LSI-LSI間遅延配線長換算部6にて、プリント配線基板配線長認識部1にて実測されたプリント配線基板上の信号パターンの線長と、LSIパッケージ内線長換算部3にて出力されたLSIパッケージ内配線の換算線長と、ワイヤ線長換算部5にて出力されたボンディングワイヤの換算線長とを加算した加算線長を算出する。ここでは、 $10+1.83+0.915+0.089+0.089=12.923\text{cm}$ となる。加算結果は遅延チェック部8に出力される。

【0035】また、遅延条件認識部7は、LSIチップ間での信号の伝送にかける遅延時間の範囲を、プリント配線基板上での信号パターンの配線長に換算した線長換算条件を認識する。図4に示されるように、ここでの線長換算遅延条件は、 14cm 以上、 16cm 以下である。認識した線長換算条件は、遅延チェック部8に出力される。

【0036】遅延チェック部8は、LSI-LSI間遅延配線長換算部6により算出された加算線長が、遅延条件認識部6にて認識した線長換算遅延条件を満たしているか否かを判断する。ここでは最小値条件の 14cm 以上に違反していることを検出する。

【0037】遅延解析出力部9は、最小値条件違反であるとのエラー表示と、目標まで $14-12.923=1.077\text{cm}$ であることを表示する。この表示をもとにプリント配線基板の信号パターンの配線長を修正する。

【0038】遅延解析出力部9の表示をもとに、プリント配線基板上の信号パターンの配線長を 12cm に修正したとする。すると、プリント配線基板上の信号パターンの配線長と、LSIパッケージ内配線の換算線長と、ボンディングワイヤの換算線長との和は、 $12+1.83+0.915+0.089+0.089=14.923\text{cm}$ となり、遅延チェック部8にて、線長条件 14cm 以上、 16cm 以下を満たしていることを検出し、遅延解析出力部で線長条件を満たしている旨を通知する。

【0039】上述した実施形態は、LSIチップとLSIパッケージを結ぶ導体の実配線長と、LSIパッケージ内配線の実配線長とを等遅延のプリント配線基板上の信号パターンの配線長に換算して配線設計を行うことにより、所望とするLSI間の信号の伝送にかかる遅延時間に近づけた遅延時間を実現する信号パターンの配線を行うことができる。従って、高性能なマシンスペックを

必要とする配線基板の設計を容易に行うことができる。

【0040】なお、上述した実施形態においては、LSIパッケージ内線長認識部にて予め決められたBGA内線長を認識させているが、LSIパッケージ内線長認識部にてBGA内配線の配線長を実測するものであってよい。

【0041】また、上述した実施形態では、配線設計をBGAを介してLSIチップが搭載されているプリント配線基板を例にとり説明したが、本発明により配線設計が可能となる配線基板はこれだけに限定されるものではない。例えば、図6に示されたBGAに搭載されたLSIチップと、SOP (Small Outline Package)とが搭載されたプリント配線基板であった場合には、SOPでは、ボンディングワイヤ、LSIパッケージ内配線の配線長を考慮する必要がないので、LSIパッケージ内線長認識部2およびワイヤ線長認識部4に、SOP側のパッケージ内線長およびワイヤ線長を認識させる時に、これらを 0cm として認識させ、遅延計算、遅延チェックを行うこととなる。

【0042】また、図7に示されたTAB (Tape Automated Bonding) により配線基板上にLSIチップを搭載する場合には、LSIチップ12と、フィルム18に埋設された半田ボール14とを接続するインナーリード19の線長をLSIパッケージ内線長認識部2に認識させ、LSIパッケージ内線長換算部3でインナーリード19の線長を等遅延のプリント配線基板の信号パターンの線長に換算することで、配線設計を行うことが可能となる。

【0043】また、図8に示されたフリップチップボンディングにより配線基板上にLSIチップを搭載する場合には、LSIパッケージ内線長認識部2およびワイヤ線長認識部4に 0cm を認識することで、配線設計を行なうことが可能となる。

【0044】

【発明の効果】以上の説明より明らかなように本発明は、配線基板上に配線された信号パターンの実配線長と、LSIチップとLSIパッケージとをつなぐ導体の実線長と、LSIパッケージ内配線の実配線長とを用いてLSI間の信号の伝送にかかる遅延時間を算出することにより、所望とする遅延時間により近い遅延時間を算出することができる。

【0045】また、実測した配線基板上に配線された信号パターンの配線長と、LSIチップとLSIパッケージとをつなぐ導体の実線長を、その線長により生じる遅延と等遅延となる配線基板上の信号パターンの線長に換算した換算線長と、LSIパッケージ内配線の実配線長を、その線長により生じる遅延と等遅延となる配線基板上の信号パターンの線長に換算した換算線長とを加算し、加算した線長が、所定の条件を満たしているか否かを判断して、配線基板上の信号パターンの配線長を決め

ることにより、所望とする L S I 間の信号の伝送にかかる遅延時間により近い遅延時間となる信号パターンの配線を行うことができる。従って、高性能なマシンスペックを必要とする配線基板の設計を容易に行うことができる。

【図面の簡単な説明】

【図 1】本発明の配線設計装置及び配線設計方法に係る実施形態の構成を表すブロック図である。

【図 2】本発明により配線設計が可能となるプリント配線基板の構成を表す図である。

【図 3】配線設計方法を説明するための図である。

【図 4】線長換算遅延条件を表す図である。

【図 5】プリント配線基板に設けられた各配線の信号速度を表す図である。

【図 6】本発明により配線設計が可能となるプリント配線基板の構成を表す図である。

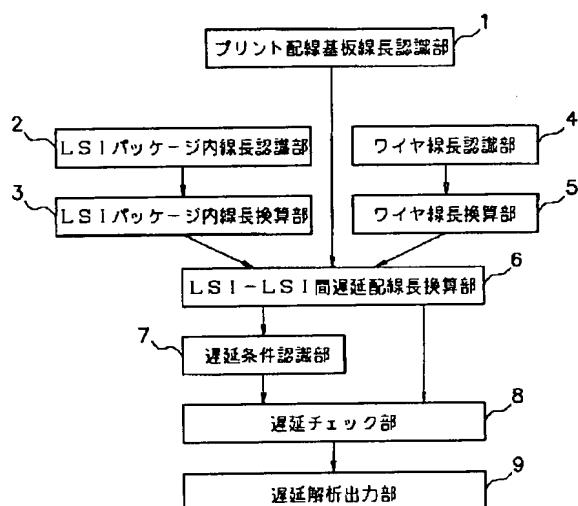
【図 7】本発明により配線設計が可能となるプリント配線基板の構成を表す図である。

【図 8】本発明により配線設計が可能となるプリント配線基板の構成を表す図である。

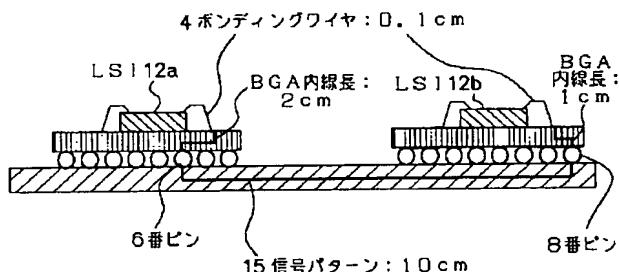
【符号の説明】

- 1 プリント配線基板線長認識部
- 2 L S I パッケージ内線長認識部
- 3 L S I パッケージ内線長換算部
- 4 ワイヤ線長認識部
- 5 ワイヤ線長換算部
- 6 L S I - L S I 間遅延配線長換算部
- 7 遅延条件認識部
- 8 遅延チェック部
- 9 遅延解析出力部
- 10 プリント配線基板
- 11 B G A
- 12 L S I チップ
- 13 ボンディングワイヤ
- 14 半田ボール
- 15 信号パターン
- 16 B G A 内配線
- 17 S O P
- 18 フィルム
- 19 インナリード

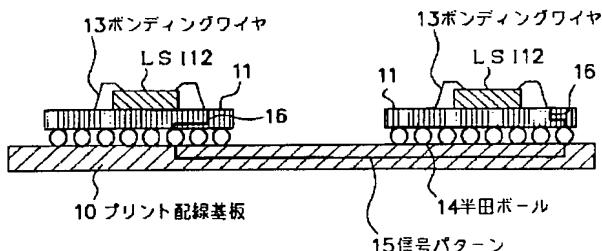
【図 1】



【図 3】



【図 2】



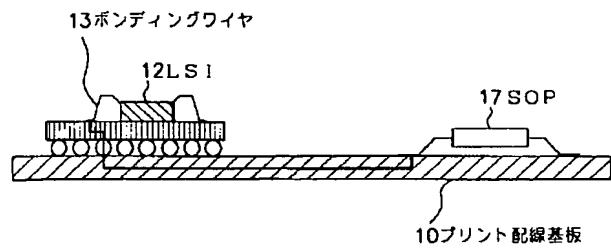
【図 4】

信号名	最小条件 (cm)	最大条件 (cm)
XAB+00	14	16

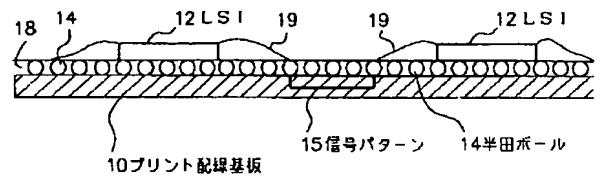
【図 5】

	信号速度 (ps/cm)	等遅延の線長
プリント配線基板	71.0	1
B G A 内配線	65.0	0.916
ボンディングワイヤ	63.0	0.887

【図 6】



【図 7】



【図 8】

